

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284558

(43)Date of publication of application : 12.10.2001

(51)Int.Cl. H01L 27/12
H01L 21/20
H01L 21/205
H01L 29/786
H01L 21/336

(21)Application number : 2000-096412

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.03.2000

(72)Inventor : AWANO YUJI

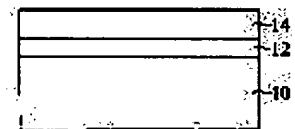
(54) LAMINATED WAFER, PRODUCING METHOD THEREFOR AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a laminated wafer capable of being immune to high- temperature process and further accelerating the operating speed of a semiconductor device, a producing method therefor and the semiconductor device using that laminated wafer.

SOLUTION: This device has an insulating film 12 formed on a wafer 10 and a semiconductor layer 14 formed on the insulating film 12 while having grid distortion.

本発明の実施形態による積層半導体基板を示す断面図



10...シリコン基板
12...シリコン酸化物膜
14...シリコン層

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-284558
(P2001-284558A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

| (51) Int. Cl. | 識別記号 | F I | キーワード (参考) |
|-----------------------------|--------|---------|-------------------|
| H 0 1 L | 27/12 | H 0 1 L | 27/12 B 5 F 0 4 5 |
| | 21/20 | | 21/20 5 F 0 5 2 |
| | 21/205 | | 21/205 5 F 1 1 0 |
| | 29/786 | | 29/78 6 1 8 B |
| | 21/336 | | 6 2 7 D |
| 審査請求 未請求 請求項の数4 O L (全 9 頁) | | | |

(21) 出願番号 特願2000-96412 (P2000-96412)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 00005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 栗野 祐二

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100087479

弁理士 北野 好人

最終頁に続く

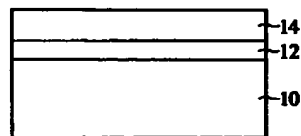
(54) 【発明の名称】 積層半導体基板及びその製造方法並びに半導体装置

(57) 【要約】

【課題】 高温のプロセスに耐え得るとともに、半導体装置の更なる動作速度の向上を実現しうる積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置を提供する。

【解決手段】 半導体基板10上に形成された絶縁膜12と、絶縁膜12上に形成され、格子歪を有する半導体層14とを有している。

本発明の一実施形態による積層半導体基板を示す断面図



10…シリコン基板
12…シリコン酸化膜
14…シリコン層

【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層とを有することを特徴とする積層半導体基板。

【請求項2】 請求項1記載の積層半導体基板において、前記半導体層は、Si、SiGe、SiGeC、又はSiCより成ることを特徴とする積層半導体基板。

【請求項3】 第1の半導体基板上に、少なくとも表面側に格子歪が導入された格子歪層を有する半導体層を形成する工程と、前記半導体層上に、絶縁膜を形成する工程と、前記半導体層と前記絶縁膜との界面より深い領域に、結晶結合を切断する物質を導入する工程と、前記絶縁膜上に第2の半導体基板を重ね合わせて、前記絶縁膜と前記第2の半導体基板とを固着する工程と、熱処理により、前記結晶結合を切断する物質が導入された領域において、前記第1の半導体基板と前記半導体層と前記絶縁膜と前記第2の半導体基板とを有する積層体を分断する工程とを有し、前記第2の半導体基板上に前記絶縁膜を介して前記歪格子層が形成された積層半導体基板を製造することを特徴とする積層半導体基板の製造方法。

【請求項4】 半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層と、前記半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体層に形成されたソース/ドレイン拡散層とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置に係り、特に半導体装置の動作速度の向上を実現しうる積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置に関する。

【0002】

【従来の技術】近年、電子機器の情報処理量の増大に伴い、CMOSトランジスタ等の更なる動作速度の向上が求められている。

【0003】CMOSトランジスタの動作速度を向上するためには、キャリア移動度の高い材料をチャンネル層に用いることが考えられる。

【0004】例えば、Kern Rim et al., Extended Abstracts of the 1998 International Conference on Solid State Device and Materials, Hiroshima, 1998, p.92-93には、n-MOSトランジスタのチャンネル層として、結晶歪を有するシリコン層を用いることにより、キャリア移動度を50%以上向上し得る技術が提案されて

いる。

【0005】このような、結晶歪を有するシリコン層は、格子緩和されたシリコンゲルマニウム層上にシリコン層を成長することにより形成することができる。

【0006】また、T.Mizuno et al., 1999 IEEE, IEDM 99, p.934-936には、p-MOSトランジスタのチャンネル層として、結晶歪を有するシリコン層を用いることにより、キャリア移動度を30%程度向上しうる技術が提案されている。

【0007】

【発明が解決しようとする課題】しかしながら、提案されている上記技術では、シリコンゲルマニウムとシリコンとのヘテロ接合構造が熱酸化等の高温処理に耐えられないため、プロセス上の制約があった。

【0008】また、更なる動作速度の向上のためには、SOI (Silicon On Insulator) 基板を用いてCMOSトランジスタとシリコン基板との間の容量を小さくすることが考えられるが、結晶歪を有するシリコン層を絶縁膜上に形成することは困難であった。

【0009】本発明の目的は、高温のプロセスに耐え得るとともに、半導体装置の更なる動作速度の向上を実現しうる積層半導体基板及びその製造方法並びにその積層半導体基板を用いた半導体装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的は、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層とを有することを特徴とする積層半導体基板により達成される。これにより、格子歪を有する半導体層の下に格子緩和したシリコンゲルマニウム層等が形成されていないため、相互拡散が生じるのを抑制することができ、高温のプロセスに耐えることができる。また、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体層と半導体基板との間の容量を低減することができ、半導体装置の更なる動作速度の向上を実現することができる。

【0011】また、上記の積層半導体基板において、前記半導体層は、Si、SiGe、SiGeC、又はSiCより成ることが望ましい。

【0012】また、上記目的は、第1の半導体基板上に、少なくとも表面側に格子歪が導入された格子歪層を有する半導体層を形成する工程と、前記半導体層上に、絶縁膜を形成する工程と、前記半導体層と前記絶縁膜との界面より深い領域に、結晶結合を切断する物質を導入する工程と、前記絶縁膜上に第2の半導体基板を重ね合わせて、前記絶縁膜と前記第2の半導体基板とを固着する工程と、熱処理により、前記結晶結合を切断する物質が導入された領域において、前記第1の半導体基板と前記半導体層と前記絶縁膜と前記第2の半導体基板とを有する積層体を分断する工程とを有し、前記第2の半導体基板上に前記絶縁膜を介して前記歪格子層が形成された

積層半導体基板を製造することを特徴とする積層半導体基板の製造方法により達成される。これにより、格子歪を有する半導体層の下に格子緩和したシリコンゲルマニウム層等が形成されていないため、相互拡散が生じるのを抑制することができ、高温のプロセスに耐えることができ、かつ、素子の信頼性を高めることが期待できる。また、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体層と半導体基板との間の容量を低減することができ、半導体装置の更なる動作速度の向上を実現することができる。

【0013】また、上記の積層半導体基板の製造方法において、前記積層体を分断する工程では、前記第1の半導体基板中において前記積層体を分断し、前記積層体を分断する工程の後に、前記格子歪層が露出するまで前記第2の半導体基板上の少なくとも前記第1の半導体基板を除去する工程を更に有することが望ましい。

【0014】また、上記の積層半導体基板の製造方法において、前記積層体を分断する工程では、前記半導体層中において前記積層体を分断し、前記積層体を分断する工程の後に、前記格子歪層が露出するまで前記半導体層を除去する工程を更に有することが望ましい。

【0015】また、上記の積層半導体基板の製造方法において、前記半導体層を形成する工程は、前記第1の半導体基板上に、少なくとも表面側において前記第1の半導体基板と格子定数が異なる半導体層を形成する工程と、前記格子定数が異なる半導体層上に前記格子歪層を形成する工程とを有することが望ましい。

【0016】また、上記目的は、半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成され、格子歪を有する半導体層と、前記半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体層に形成されたソース/ドレイン拡散層とを有することを特徴とする半導体装置により達成される。これにより、格子歪を有する半導体層の下に格子緩和したシリコンゲルマニウム層等が形成されていないため、相互拡散が生じるのを抑制することができ、高温のプロセスに耐えることができる。また、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体層と半導体基板との間の容量を低減することができ、半導体装置の更なる動作速度の向上を実現することができる。

【0017】

【発明の実施の形態】本発明の一実施形態による積層半導体基板及びその製造方法を図1乃至図4を用いて説明する。図1は、本実施形態による積層半導体基板を示す断面図である。図2及び図3は、本実施形態による積層半導体基板の製造方法を示す工程断面図である。図4は、シリコン基板上にシリコンゲルマニウム層を形成した場合の、ゲルマニウム組成と臨界膜厚との関係を示すグラフである。

【0018】（積層半導体基板）まず、本実施形態によ

る積層半導体基板について図1を用いて説明する。

【0019】図1に示すように、シリコン基板10上には、膜厚10nm〜3μmのシリコン酸化膜12が形成されている。シリコン酸化膜12上には、引っ張り歪みを有する膜厚5nm〜1.5μmのシリコン層14が形成されている。

【0020】こうして本実施形態による積層半導体基板が構成されている。

【0021】本実施形態による積層半導体基板は、引っ張り歪を有するシリコン層14の下に格子緩和したシリコンゲルマニウム層が形成されていないことに主な特徴の一つがある。上述した提案されている技術では、シリコン層の下に格子緩和したシリコンゲルマニウム層が形成されているため、高温のプロセスによりシリコンゲルマニウム層とシリコン層との間で相互拡散が生じてしまうことがあったが、本実施形態では、シリコン層14の下にシリコンゲルマニウム層が形成されていないため、かかる相互拡散が生じることはなく、高温のプロセスに耐えることができる。

【0022】そして、引っ張り歪を有するシリコン層14は通常のシリコン層よりキャリア移動度が高いため、このようなシリコン層14をチャンネル層に適用することにより、CMOSトランジスタの動作速度を向上することができる。

【0023】また、本実施形態による積層半導体基板は、引っ張り歪を有するシリコン層14の下に、シリコン酸化膜12が形成されていることにも主な特徴の一つがある。従来は、引っ張り歪を有するシリコン層をシリコン酸化膜上に形成することは困難であったが、本実施形態では、後述する方法によりこのような構造の積層半導体基板を製造することができる。引っ張り歪を有するシリコン層14の下にシリコン酸化膜12が形成されているので、CMOSトランジスタとシリコン基板10との間の容量を低減することができ、更なる動作速度の向上を実現することができる。

【0024】（積層半導体基板の製造方法）次に、本実施形態による積層半導体基板の製造方法を図2及び図3を用いて説明する。

【0025】まず、シリコン基板16を用意する（図2(a)参照）。

【0026】次に、シリコン基板16上に、減圧CVD（Chemical Vapor Deposition、化学気相堆積）法により、臨界膜厚より厚い膜厚のシリコンゲルマニウム層18を形成する。シリコンゲルマニウム層18を臨界膜厚より厚く形成することにより、バルクのシリコンゲルマニウムと同様の格子定数のシリコンゲルマニウム層18が形成される。

【0027】図4は、シリコン基板上にシリコンゲルマニウム層を形成した場合の、Ge組成と臨界膜厚との関係を示すグラフである。下側の横軸はシリコンゲルマニ

ウム層のGe組成を示しており、縦軸はシリコンゲルマニウムの臨界膜厚を示しており、上側の横軸はシリコンに対するシリコンゲルマニウムの格子不整合を示している。

【0028】図4から分かるように、シリコンゲルマニウム層18のGe組成を例えば0.1とする場合には、シリコンゲルマニウム層18の膜厚は例えば1 μ mとすればよい。

【0029】次に、シリコンゲルマニウム層18上に、例えばCVD法により、膜厚20nmのシリコン層14を形成する。シリコンの格子定数は、シリコンゲルマニウムの格子定数より小さいため、引っ張り歪を有するシリコン層14が形成される(図2(b)参照)。

【0030】次に、全面に、例えばCVD法により、膜厚10nm~3 μ mのシリコン酸化膜12を形成する(図2(c)参照)。酸化温度は、シリコン及びシリコンゲルマニウムの結晶成長温度より低い温度とする。かかる温度より高い温度で酸化すると、シリコンとシリコンゲルマニウムとの間で相互拡散が生じ、所望のシリコン層14が得られなくなるからである。

【0031】次に、イオン注入法により、シリコンゲルマニウム層18中に水素イオンを注入する。イオン注入条件は、例えば、水素イオンのドーズ量を 10^{16} ~ 10^{17} cm⁻²とする。なお、図2(d)乃至図3(b)において破線で示されている領域は、水素イオンが導入された領域を示している。

【0032】次に、RCA(Radio Corporation of America)洗浄法により、シリコン酸化膜12の表面を洗浄する(図2(d)参照)。

【0033】次に、表面にシリコン自然酸化膜(図示せず)が形成されたシリコン基板10を用意する。

【0034】次に、シリコンゲルマニウム層18、シリコン層14、及びシリコン酸化膜12を介して、シリコン基板10とシリコン基板16とを重ね合わせる。これにより、シリコン酸化膜12がシリコン基板10に固着される(図3(a)参照)。

【0035】次に、1100℃、2時間の熱処理を行う。この熱処理により、水素が注入された領域において結晶構造が切断される。この熱処理には、例えばレーザアニール法を用いることができる。レーザアニール法を用いて熱処理を行えば、温度を局所的に上昇することができるので、他の層との相互拡散を抑制しつつ熱処理を行うことができる。

【0036】次に、シリコン基板16をシリコン基板10から剥離する。これにより、シリコン基板10上に、シリコン酸化膜12、シリコン層14、及び一部のシリコンゲルマニウム層18が残る(図3(b)参照)。

【0037】次に、CMP(Chemical Mechanical Polishing、化学的機械的研磨)法により、シリコン層14表面が露出するまで、シリコンゲルマニウム層18を研

磨する。これにより、シリコン層14上のシリコンゲルマニウム層18は除去されるが、シリコン層14の引っ張り歪はシリコン酸化膜12により維持される。こうして、本実施形態による積層半導体基板が製造される(図3(c)参照)。

【0038】(半導体装置及びその製造方法)次に、本実施形態による積層半導体基板を用いた半導体装置及びその製造方法を図5乃至図7を用いて説明する。図5は、本実施形態による積層半導体基板を用いた半導体装置を示す断面図である。図6及び図7は、本実施形態による積層半導体基板を用いた半導体装置の製造方法を示す工程断面図である。

【0039】まず、本実施形態による積層半導体基板を用いた半導体装置について図5を用いて説明する。

【0040】図5に示すように、シリコン基板10上には、シリコン酸化膜12が形成されている。シリコン酸化膜12上には、引っ張り歪を有するシリコン層14が形成されている。

【0041】シリコン層14には、素子領域を画定する素子分離領域20が形成されている。素子分離領域20により画定された素子領域には、n形半導体層22a及びp形半導体層22bが形成されている。

【0042】n形半導体層22a、p形半導体層22b上には、それぞれゲート絶縁膜24が形成されている。ゲート絶縁膜24上には、それぞれゲート電極26a、26bが形成されている。ゲート電極26a、26bの側面には、シリコン酸化膜より成るサイドウォール絶縁膜28が形成されている。

【0043】n形半導体層22aには、サイドウォール絶縁膜28が形成されたゲート電極26aに自己整合で、p形不純物が高濃度に導入されたソース/ドレイン拡散層30aが形成されている。ソース/ドレイン拡散層30a上には、ソース/ドレイン電極32が形成されている。こうして、p-MOSTランジスタ34aが構成されている。

【0044】一方、p形半導体層22bには、サイドウォール絶縁膜28が形成されたゲート電極26bに自己整合で、n形不純物が高濃度に導入されたソース/ドレイン拡散層30bが形成されている。ソース/ドレイン拡散層30b上には、ソース/ドレイン電極32が形成されている。こうして、n-MOSTランジスタ34bが形成されている。

【0045】このようにして構成されたCMOSTランジスタは、引っ張り歪を有する半導体層14がチャネル層に用いられているため、高いキャリア移動度を実現することができる。しかも、半導体層14の下にシリコン酸化膜12が形成されているため、ランジスタ34a、34bとシリコン基板10との間の容量を小さくすることができる。従って、本実施形態によれば、動作速度の速い半導体装置を提供することができる。

【0046】次に、本実施形態による積層半導体基板を用いた半導体装置の製造方法を図6及び図7を用いて説明する。

【0047】まず、図1に示す積層半導体基板と同様の積層半導体基板を用意する(図6(a)参照)。

【0048】次に、LOCOS(Local Oxidation of Silicon)法又はシャロートレンチ法により、素子領域を画定する素子分離領域20を形成する。

【0049】次に、素子分離領域20により画定された素子領域に不純物を導入し、これによりn形半導体層22a及びp形半導体層22bを形成する(図6(b)参照)。

【0050】次に、全面に、熱酸化法により、膜厚3nmのゲート絶縁膜24を形成する。

【0051】次に、全面に、CVD法によりポリシリコン層を形成する。この後、フォトリソグラフィ技術を用いて、ポリシリコン層をパターンニングすることにより、ポリシリコンより成るゲート電極26a、26bを形成する。

【0052】次に、全面に、膜厚50nmのシリコン酸化膜を形成する。この後、シリコン酸化膜をエッチングし、ゲート電極26a、26bの側面に、シリコン酸化膜より成るサイドウォール絶縁膜28を形成する(図6(c)参照)。

【0053】次に、紙面左側の素子領域を開口するフォトレジストマスク(図示せず)を形成する。この後、このフォトレジストマスクをマスクとし、サイドウォール絶縁膜28が形成されたゲート電極26aに自己整合でp形不純物を高濃度導入することにより、ソース/ドレイン拡散層30aを形成する。

【0054】次に、紙面右側の素子領域を開口するフォトレジストマスク(図示せず)を形成する。この後、このフォトレジストマスクをマスクとし、サイドウォール絶縁膜28が形成されたゲート電極26bに自己整合でn形不純物を高濃度導入することにより、ソース/ドレイン拡散層30bを形成する(図7(a)参照)。

【0055】次に、ソース/ドレイン拡散層30a、30b上に、それぞれソース/ドレイン電極32を形成する。こうして、p-MOSTランジスタ34a、n-MOSTランジスタ34bが、それぞれ形成される。

【0056】このように、本実施形態によれば、CMOSTランジスタのチャネル層に引っ張り歪を有する半導体層が用いられているため、高いキャリア移動度を実現することができる。しかも、半導体層の下にシリコン酸化膜が形成されているため、CMOSTランジスタとシリコン基板との間の容量を小さくすることができる。従って、本実施形態によれば、動作速度の速い半導体装置を提供することができる。

【0057】[変形実施形態]本発明は上記実施形態に限らず種々の変形が可能である。

【0058】例えば、上記実施形態では、水素イオンをシリコンゲルマニウム層18中に注入したが、水素イオンを注入する領域は、シリコンゲルマニウム層18中に限定されるものではなく、シリコン層14中やシリコン基板16中でもよい。

【0059】また、上記実施形態では、シリコン及びシリコンゲルマニウムの結晶成長温度より低い温度でシリコン酸化膜12を形成したが、かかる結晶成長温度より高い温度でシリコン酸化膜12を形成してもよい。この場合には、シリコン酸化膜12を形成するプロセスにおいて、シリコンとシリコンゲルマニウムとの間で相互拡散が生じる場合があるが、図2(b)に示す工程でシリコン層14を予め厚く形成しておき、図3(c)に示す工程で相互拡散が生じた領域をも研磨すればよい。

【0060】また、上記実施形態では、引っ張り歪を有するシリコン層14を用いる場合を例に説明したが、引っ張り歪を有するシリコン層に限定されるものではなく、格子歪を有する半導体層を広く用いることができる。例えば、圧縮歪を有するシリコンゲルマニウム層は正孔の移動度が高いことが知られているため、圧縮歪を有するシリコンゲルマニウム層を用いてもよい。圧縮歪を有するシリコンゲルマニウム層は、シリコンゲルマニウムより格子定数の小さな半導体であるシリコンやSiCより成る基板上に形成することができる。例えば、図2(b)に示す工程で、臨界膜厚より薄くシリコンゲルマニウム層18を形成すれば圧縮歪を有するシリコンゲルマニウム層を形成することができ、その後シリコン層14を形成することなく図2(c)乃至図3(c)に示す工程で製造を行えば、図8に示すように、圧縮歪を有するシリコンゲルマニウム層36が形成された積層半導体基板を製造することができる。

【0061】また、上記実施形態では、図2(b)に示す工程で、シリコン基板上16にシリコンゲルマニウム層18及びシリコン層14を順次形成したが、シリコン基板16上にシリコンゲルマニウム層18及びSiGeC層を順次形成してもよい。これにより、図9(a)に示すように、引っ張り歪を有するSiGeC層38が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板16上にSiGeC層を形成してもよい。これにより、図9(b)に示すように、引っ張り歪を有するSiGeC層40が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板上にシリコンゲルマニウム層及びSiC層を順次形成してもよい。これにより、図9(c)に示すように、引っ張り歪を有するSiC層42が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板上にSiC層を形成してもよい。これにより、図9(d)に示すように、引っ張り歪を有するSiC層44が形成された積層半導体基板を提供することが

できる。

【0062】また、上記実施形態では、図2(b)に示す工程で、シリコン基板上にシリコンゲルマニウム層及びシリコン層を順次形成したが、シリコン基板上にSiGeC層及びシリコンゲルマニウム層を順次形成してもよい。これにより、図10(a)に示すように、圧縮歪を有するシリコンゲルマニウム層46が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板上にSiGeC層及びシリコン層を形成してもよい。これにより、図10(b)に示すように、圧縮歪を有するシリコン層48が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板上にSiC層及びシリコンゲルマニウム層を順次形成してもよい。これにより、図10(c)に示すように、圧縮歪を有するシリコンゲルマニウム層50が形成された積層半導体基板を提供することができる。また、図2(b)に示す工程で、シリコン基板上にSiC層及びシリコン層を形成してもよい。これにより、図10(d)に示すように、圧縮歪を有するシリコン層52が形成された積層半導体基板を提供することができる。

【0063】

【発明の効果】以上の通り、本発明によれば、格子歪を有する半導体層の下に格子緩和したシリコンゲルマニウム層等が形成されていないため、半導体層とシリコンゲルマニウム層等との間で相互拡散が生じることがなく、高温のプロセスに耐えることができる。

【0064】また、本発明によれば、格子歪を有する半導体層をチャネル層に適用することにより、半導体装置の動作速度を向上することができる。

【0065】また、本発明によれば、格子歪を有する半導体層の下に絶縁膜が形成されているので、半導体装置と半導体基板との間の容量を低減することができ、更なる動作速度の向上を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態による積層半導体基板を示す断面図である。

【図2】本発明の一実施形態による積層半導体基板の製造方法を示す工程断面図(その1)である。

【図3】本発明の一実施形態による積層半導体基板の製造方法を示す工程断面図(その2)である。

【図4】シリコン基板上にシリコンゲルマニウム層を形

成した場合の、ゲルマニウム組成と臨界膜厚との関係を示すグラフである。

【図5】本発明の一実施形態による積層半導体基板を用いたCMOSTランジスタを示す断面図である。

【図6】本発明の一実施形態による積層半導体基板を用いた半導体装置の製造方法を示す工程断面図(その1)である。

【図7】本発明の一実施形態による積層半導体基板を用いた半導体装置の製造方法を示す工程断面図(その2)である。

【図8】本発明の一実施形態による積層半導体基板の変形例を示す断面図(その1)である。

【図9】本発明の一実施形態による積層半導体基板の変形例を示す断面図(その2)である。

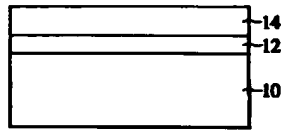
【図10】本発明の一実施形態による積層半導体基板の変形例を示す断面図(その3)である。

【符号の説明】

- 10…シリコン基板
- 12…シリコン酸化膜
- 14…シリコン層
- 16…シリコン基板
- 18…シリコンゲルマニウム層
- 20…素子分離領域
- 22a…n形半導体層
- 22b…p形半導体層
- 24…ゲート絶縁膜
- 26a、26b…ゲート電極
- 28…サイドウォール絶縁膜
- 30a、30b…ソース/ドレイン拡散層
- 32…ソース/ドレイン電極
- 34a…p-MOSTランジスタ
- 34b…n-MOSTランジスタ
- 36…シリコンゲルマニウム層
- 38…SiGeC層
- 40…SiGeC層
- 42…SiC層
- 44…SiC層
- 46…シリコンゲルマニウム層
- 48…シリコン層
- 50…シリコンゲルマニウム層
- 52…シリコン層

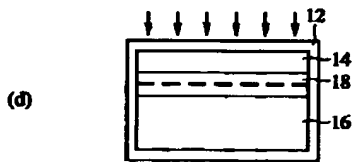
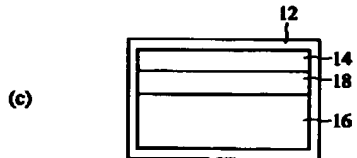
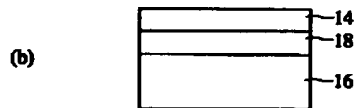
【図1】

本発明の一実施形態による積層半導体基板を示す断面図



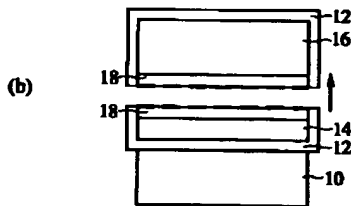
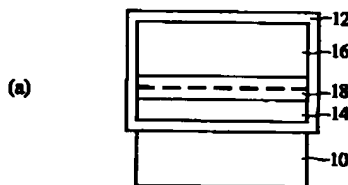
10…シリコン基板
12…シリコン酸化膜
14…シリコン層

【図2】

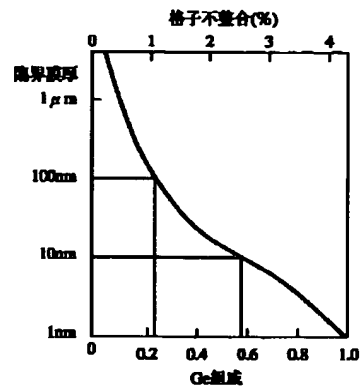
本発明の一実施形態による積層半導体基板の製造方法を
示す工程断面図(その1)

16…シリコン基板
18…シリコンゲルマニウム層

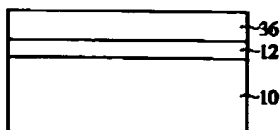
【図3】

本発明の一実施形態による積層半導体基板の製造方法を
示す工程断面図(その2)

【図4】

シリコン基板上にシリコンゲルマニウム層を形成した場合の、
ゲルマニウム組成と臨界膜厚との関係を示すグラフ

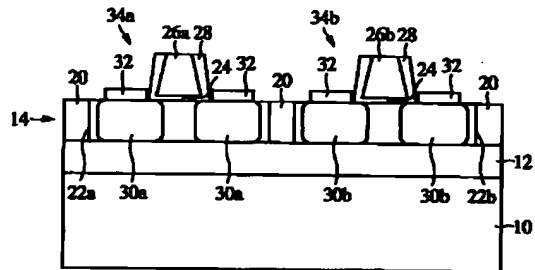
【図8】

本発明の一実施形態による積層半導体基板の変形例を
示す断面図(その1)

36…シリコンゲルマニウム層

【図5】

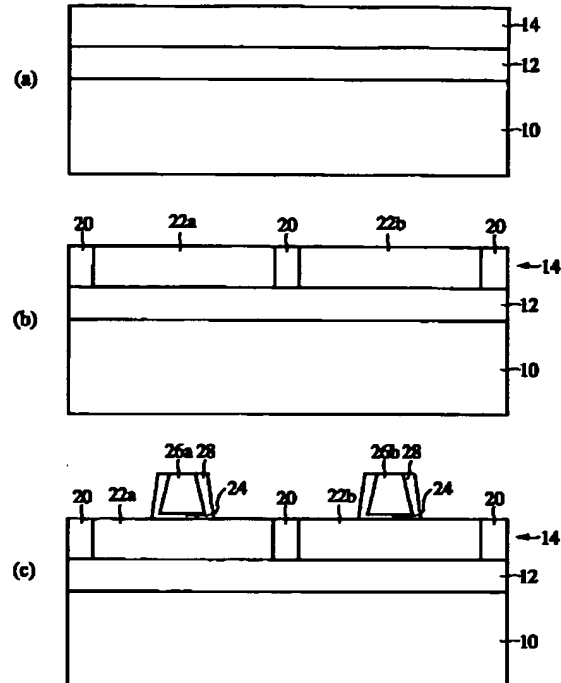
本発明の一実施形態による積層半導体基板を用いた
CMOSトランジスタを示す断面図



20…素子分離領域
22a…n形半導体層
22b…p形半導体層
24…ゲート絶縁膜
26a, 26b…ゲート電極
28…サイドウォール絶縁膜
30a, 30b…ソース/ドレイン拡散層
32…ソース/ドレイン電極
34a…p-MOSトランジスタ
34b…n-MOSトランジスタ

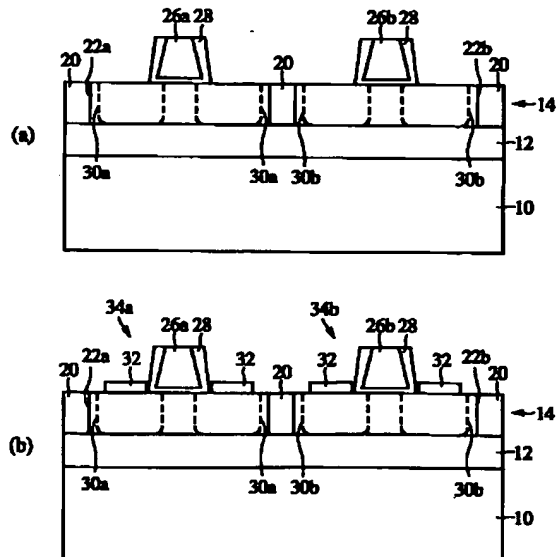
【図6】

本発明の一実施形態による積層半導体基板を用いた
半導体装置の製造方法を示す工程断面図(その1)



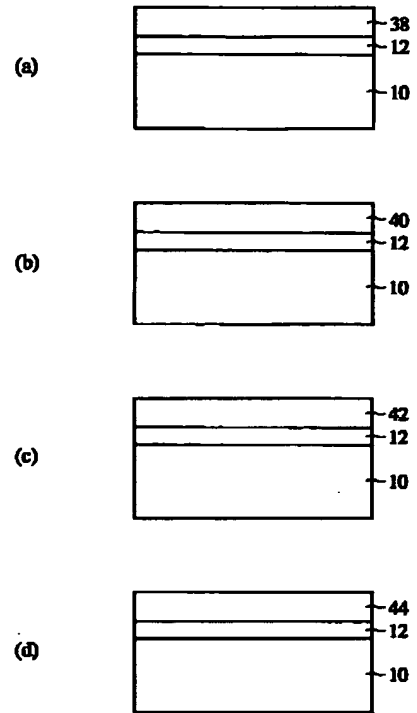
【図7】

本発明の一実施形態による積層半導体基板を用いた
半導体装置の製造方法を示す工程断面図(その2)



【図9】

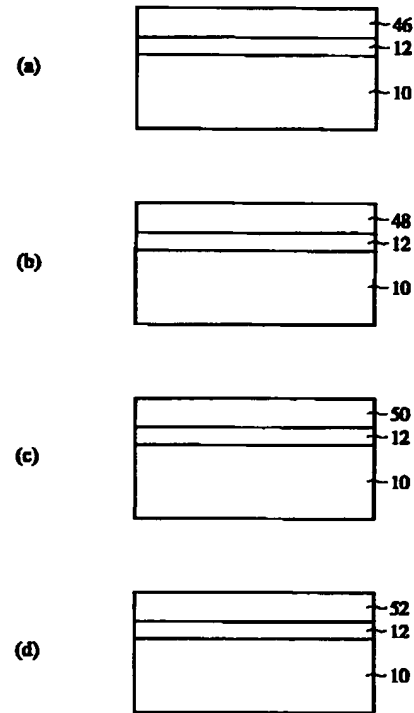
本発明の一実施形態による積層半導体基板の変形例を示す断面図(その2)



38→SiGeC層
40→SiGeC層
42→SiC層
44→SiC層

【図10】

本発明の一実施形態による積層半導体基板の変形例を示す断面図(その3)



46→シリコンゲルマニウム層
48→シリコン層
50→シリコンゲルマニウム層
52→シリコン層

フロントページの続き

Fターム(参考) 5F045 AA06 AB01 AB02 AB06 AB32
AF03 DA69 GH09 HA15 HA18
5F052 AA02 AA11 DA01 DB01 JA04
5F110 AA01 BB04 CC02 DD05 DD13
DD24 EE09 EE32 EE45 FF02
FF23 GG01 GG02 GG12 NN62
NN65 NN66 QQ11 QQ17

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which used the laminating semi-conductor substrate for the laminating semi-conductor substrate which is applied to the semiconductor device which used the laminating semi-conductor substrate for a laminating semi-conductor substrate and its manufacture approach list, especially can realize improvement in the working speed of a semiconductor device, and its manufacture approach list.

[0002]

[Description of the Prior Art] In recent years, improvement in the further working speeds, such as a CMOS transistor, is called for with increase of the amount of information processing of electronic equipment.

[0003] In order to improve the working speed of a CMOS transistor, it is possible to use an ingredient with high carrier mobility for a channel layer.

[0004] For example, the technique which may improve carrier mobility 50% or more is proposed by using for Kern Rim et al., Extended Abstracts of the 1998 International Conference on Solid State Device and Materials, Hiroshima, 1998, and p.92-93 the silicon layer which has crystal distortion as a channel layer of n-MOS transistor.

[0005] The silicon layer which has such crystal distortion can form a silicon layer by growing up on the silicon germanium layer by which grid relaxation was carried out.

[0006] Moreover, the technique which may improve carrier mobility about 30% is proposed by using for T. Mizuno et al., 1999 IEEE, IEDM 99, and p.934-936 the silicon layer which has crystal distortion as a channel layer of p-MOS transistor.

[0007]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned technique proposed, since heterojunction structure of silicon germanium and silicon was not able to bear high temperature processing, such as thermal oxidation, there was constraint on a process.

[0008] Moreover, although it was possible for improvement in the further working speed to make small capacity between a CMOS transistor and a silicon substrate using a SOI (Silicon On Insulator) substrate, it was difficult to form the silicon layer which has crystal distortion on an insulator layer.

[0009] The purpose of this invention is to offer the semiconductor device which used the laminating semi-conductor substrate for the laminating semi-conductor substrate which can realize improvement in the further working speed of a semiconductor device, and its manufacture approach list while being able to bear a hot process.

[0010]

[Means for Solving the Problem] The above-mentioned purpose is formed on the insulator layer formed on the semi-conductor substrate, and said insulator layer, and is attained by the laminating semi-conductor substrate characterized by having the semi-conductor layer which has a lattice strain. Since the silicon germanium layer which carried out grid relaxation is not formed in the bottom of the semi-conductor layer which has a lattice strain by this, it can control that counter diffusion arises and it can be borne at a hot process. Moreover, since the insulator layer is formed in the bottom of the semi-conductor layer which has a lattice strain, the capacity between a semi-conductor layer and a semi-conductor substrate can be reduced, and improvement in the further working speed of a semiconductor device can be realized.

[0011] Moreover, as for said semi-conductor layer, in the above-mentioned laminating semi-conductor substrate, it is desirable to consist of Si, SiGe, SiGeC, or SiC.

[0012] Moreover, the process at which the above-mentioned purpose forms the semi-conductor layer which has the lattice strain layer in which the lattice strain was introduced into the front-face side at least on the 1st semi-conductor substrate, The process which forms an insulator layer on said semi-conductor layer, and the process which introduces into a field

deeper than the interface of said semi-conductor layer and said insulator layer the matter which cuts crystal association, By the process which piles up the 2nd semi-conductor substrate on said insulator layer, and fixes said insulator layer and said 2nd semi-conductor substrate, and heat treatment It has the process which divides the layered product which has said 1st semi-conductor substrate, said semi-conductor layer and said insulator layer, and said 2nd semi-conductor substrate in the field to which the matter which cuts said crystal association was introduced. It is attained by the manufacture approach of the laminating semi-conductor substrate characterized by manufacturing the laminating semi-conductor substrate with which said distorted latticed layer was formed through said insulator layer on said 2nd semi-conductor substrate. Since the silicon germanium layer which carried out grid relaxation is not formed in the bottom of the semi-conductor layer which has a lattice strain by this, it is expectable to be able to control that counter diffusion arises, and to be able to bear it at a hot process, and to raise the dependability of a component. Moreover, since the insulator layer is formed in the bottom of the semi-conductor layer which has a lattice strain, the capacity between a semi-conductor layer and a semi-conductor substrate can be reduced, and improvement in the further working speed of a semiconductor device can be realized.

[0013] Moreover, in the manufacture approach of the above-mentioned laminating semi-conductor substrate, it is desirable to have further the process on said 2nd semi-conductor substrate which removes said 1st semi-conductor substrate at least until said lattice strain layer is exposed after the process which divides said layered product in said 1st semi-conductor substrate, and divides said layered product at the process which divides said layered product.

[0014] Moreover, in the manufacture approach of the above-mentioned laminating semi-conductor substrate, it is desirable to have further the process which removes said semi-conductor layer until said lattice strain layer is exposed after the process which divides said layered product in said semi-conductor layer, and divides said layered product at the process which divides said layered product.

[0015] Moreover, as for the process which forms said semi-conductor layer, in the manufacture approach of the above-mentioned laminating semi-conductor substrate, it is desirable to have the process which forms the semi-conductor layer from which said the 1st semi-conductor substrate and lattice constant differ in a front-face side at least on said 1st semi-conductor substrate, and the process which forms said lattice strain layer on the semi-conductor layer from which said lattice constant differs.

[0016] Moreover, the above-mentioned purpose is formed on the insulator layer formed on the semi-conductor substrate, and said insulator layer, and is attained by the semiconductor device characterized by having the semi-conductor layer which has a lattice strain, the gate electrode formed through gate dielectric film on said semi-conductor layer, and the source / drain diffusion layer formed in said semi-conductor layer of the both sides of said gate electrode. Since the silicon germanium layer which carried out grid relaxation is not formed in the bottom of the semi-conductor layer which has a lattice strain by this, it can control that counter diffusion arises and it can be borne at a hot process. Moreover, since the insulator layer is formed in the bottom of the semi-conductor layer which has a lattice strain, the capacity between a semi-conductor layer and a semi-conductor substrate can be reduced, and improvement in the further working speed of a semiconductor device can be realized.

[0017]

[Embodiment of the Invention] The laminating semi-conductor substrate by 1 operation gestalt and its manufacture approach of this invention are explained using drawing 1 thru/or drawing 4 . Drawing 1 is the sectional view showing the laminating semi-conductor substrate by this operation gestalt. Drawing 2 and drawing 3 are the process sectional views showing the manufacture approach of the laminating semi-conductor substrate by this operation gestalt. Drawing 4 is a graph which shows the relation of the germanium presentation and the critical thickness at the time of forming a silicon germanium layer on a silicon substrate.

[0018] (Laminating semi-conductor substrate) The laminating semi-conductor substrate by this operation gestalt is first explained using drawing 1 .

[0019] As shown in drawing 1 , on the silicon substrate 10, silicon oxide 12 of 10nm - 3 micrometers of thickness is formed. On silicon oxide 12, the silicon layer 14 of 5nm - 1.5 micrometers of thickness which has hauling distortion is formed.

[0020] In this way, the laminating semi-conductor substrate by this operation gestalt is constituted.

[0021] The laminating semi-conductor substrate by this operation gestalt has one of the main descriptions in the silicon germanium layer which carried out grid relaxation not being formed in the bottom of the silicon layer 14 which has hauling distortion. With the technique which was mentioned above and which is proposed, since the silicon germanium layer which carried out grid relaxation was formed in the bottom of a silicon layer, counter diffusion might arise between the silicon germanium layer and the silicon layer according to the hot process, but with this operation gestalt, since the silicon germanium layer is not formed in the bottom of the silicon layer 14, this counter diffusion does not arise and a hot process can be borne.

[0022] And since the silicon layer 14 which has hauling distortion has carrier mobility higher than the usual silicon layer, it can improve the working speed of a CMOS transistor by applying such a silicon layer 14 to a channel layer.

[0023] Moreover, the laminating semi-conductor substrate by this operation gestalt has one of the main descriptions also in silicon oxide 12 being formed in the bottom of the silicon layer 14 which has hauling distortion. Although it was difficult to form conventionally the silicon layer which has hauling distortion on silicon oxide, with this operation gestalt, the laminating semi-conductor substrate of such structure can be manufactured by the approach of mentioning later. Since silicon oxide 12 is formed in the bottom of the silicon layer 14 which has hauling distortion, the capacity between a CMOS transistor and a silicon substrate 10 can be reduced, and improvement in the further working speed can be realized.

[0024] (The manufacture approach of a laminating semi-conductor substrate) Next, the manufacture approach of the laminating semi-conductor substrate by this operation gestalt is explained using drawing 2 and drawing 3.

[0025] First, a silicon substrate 16 is prepared (refer to drawing 2 (a)).

[0026] next, a silicon substrate 16 top -- reduced pressure CVD (Chemical Vapor Deposition, chemical vapor deposition) -- the silicon germanium layer 18 of thickness thicker than critical thickness is formed by law. By forming the silicon germanium layer 18 more thickly than critical thickness, the silicon germanium layer 18 of the same lattice constant as the silicon germanium of bulk is formed.

[0027] Drawing 4 is a graph which shows the relation of the germanium presentation and the critical thickness at the time of forming a silicon germanium layer on a silicon substrate. The lower axis of abscissa shows germanium presentation of a silicon germanium layer, the axis of ordinate shows the critical thickness of silicon germanium, and the upper axis of abscissa shows the grid mismatching of the silicon germanium to silicon.

[0028] When setting germanium presentation of the silicon germanium layer 18 to 0.1 so that drawing 4 may show, the thickness of the silicon germanium layer 18 is just 1 micrometer.

[0029] Next, the silicon layer 14 of 20nm of thickness is formed with a CVD method on the silicon germanium layer 18. Since the lattice constant of silicon is smaller than the lattice constant of silicon germanium, the silicon layer 14 which has hauling distortion is formed (refer to drawing 2 (b)).

[0030] Next, silicon oxide 12 of 10nm - 3 micrometers of thickness is formed in the whole surface with a CVD method (refer to drawing 2 (c)). Oxidation temperature is made into temperature lower than the crystal growth temperature of silicon and silicon germanium. It is because counter diffusion will arise between silicon and silicon germanium and the desired silicon layer 14 will no longer be obtained, if it oxidizes at temperature higher than this temperature.

[0031] Next, a hydrogen ion is poured in into the silicon germanium layer 18 with ion-implantation. An ion notes entry condition sets the dose of a hydrogen ion to 1016-1017cm⁻². In addition, the field shown with the broken line in drawing 2 (d) thru/or drawing 3 (b) shows the field where the hydrogen ion was introduced.

[0032] Next, the front face of silicon oxide 12 is washed by the RCA (Radio Corporation of America) cleaning method (refer to drawing 2 (d)).

[0033] Next, the silicon substrate 10 by which the silicon natural oxidation film (not shown) was formed in the front face is prepared.

[0034] Next, a silicon substrate 10 and a silicon substrate 16 are piled up through the silicon germanium layer 18, the silicon layer 14, and silicon oxide 12. Thereby, silicon oxide 12 fixes to a silicon substrate 10 (refer to drawing 3 (a)).

[0035] Next, 1100 degrees C and heat treatment of 2 hours are performed. The crystal structure is cut by this heat treatment in the field to which hydrogen was poured in. For example, the laser annealing method can be used for this heat treatment. If it heat-treats using the laser annealing method, since temperature can be gone up locally, it can heat-treat controlling counter diffusion with other layers.

[0036] Next, a silicon substrate 16 is exfoliated from a silicon substrate 10. Thereby, silicon oxide 12, the silicon layer 14, and some silicon germanium layers 18 remain on a silicon substrate 10 (refer to drawing 3 (b)).

[0037] next, CMP (Chemical Mechanical Polishing, chemical mechanical polish) -- by law, the silicon germanium layer 18 is ground until silicon layer 14 front face is exposed. Thereby, although the silicon germanium layer 18 on the silicon layer 14 is removed, the hauling distortion of the silicon layer 14 is maintained by silicon oxide 12. In this way, the laminating semi-conductor substrate by this operation gestalt is manufactured (refer to drawing 3 R> 3 (c)).

[0038] (A semiconductor device and its manufacture approach) Next, the semiconductor device using the laminating semi-conductor substrate by this operation gestalt and its manufacture approach are explained using drawing 5 thru/or drawing 7. Drawing 5 is the sectional view showing the semiconductor device using the laminating semi-conductor substrate by this operation gestalt. Drawing 6 and drawing 7 are the process sectional views showing the manufacture approach of the semiconductor device using the laminating semi-conductor substrate by this operation gestalt.

[0039] First, the semiconductor device using the laminating semi-conductor substrate by this operation gestalt is explained

using drawing 5 .

[0040] As shown in drawing 5 , silicon oxide 12 is formed on the silicon substrate 10. On silicon oxide 12, the silicon layer 14 which has hauling distortion is formed.

[0041] The component isolation region 20 which demarcates a component field is formed in the silicon layer 14. N type semiconductor layer 22a and p type semiconductor layer 22b are formed in the component field demarcated by the component isolation region 20.

[0042] On n type semiconductor layer 22a and p type semiconductor layer 22b, gate dielectric film 24 is formed, respectively. On gate dielectric film 24, the gate electrodes 26a and 26b are formed, respectively. The sidewall insulator layer 28 which consists of silicon oxide is formed in the side face of the gate electrodes 26a and 26b.

[0043] The source / drain diffusion layer 30a by which p form impurity was introduced into high concentration are formed in gate electrode 26a in which the sidewall insulator layer 28 was formed by self align at n type semiconductor layer 22a. The source / drain electrode 32 is formed on the source / drain diffusion layer 30a. In this way, p-MOS transistor 34a is constituted.

[0044] On the other hand, the source / drain diffusion layer 30b by which n form impurity was introduced into high concentration are formed in gate electrode 26b in which the sidewall insulator layer 28 was formed by self align at p type semiconductor layer 22b. The source / drain electrode 32 is formed on the source / drain diffusion layer 30b. In this way, n-MOS transistor 34b is formed.

[0045] Thus, since the semi-conductor layer 14 which has hauling distortion is used for the channel layer, the constituted CMOS transistor can realize high carrier mobility. And since silicon oxide 12 is formed in the bottom of the semi-conductor layer 14, capacity between Transistors 34a and 34b and a silicon substrate 10 can be made small. Therefore, according to this operation gestalt, a semiconductor device with a quick working speed can be offered.

[0046] Next, the manufacture approach of the semiconductor device using the laminating semi-conductor substrate by this operation gestalt is explained using drawing 6 and drawing 7 .

[0047] First, the laminating semi-conductor substrate shown in drawing 1 and the same laminating semi-conductor substrate are prepared (refer to drawing 6 (a)).

[0048] next, LOCOS (LOCAl Oxidation of Silicon) -- the component isolation region 20 which demarcates a component field is formed by law or the shallow trench method.

[0049] Next, an impurity is introduced into the component field demarcated by the component isolation region 20, and this forms n type semiconductor layer 22a and p type semiconductor layer 22b (refer to drawing 6 (b)).

[0050] Next, gate dielectric film 24 of 3nm of thickness is formed in the whole surface by the oxidizing [thermally] method.

[0051] Next, a polish recon layer is formed in the whole surface with a CVD method. Then, the gate electrodes 26a and 26b which consist of polish recon are formed by carrying out patterning of the polish recon layer using a photolithography technique.

[0052] Next, silicon oxide of 50nm of thickness is formed in the whole surface. Then, silicon oxide is etched and the sidewall insulator layer 28 which changes from silicon oxide to the side face of the gate electrodes 26a and 26b is formed (refer to drawing 6 (c)).

[0053] Next, the photoresist mask (not shown) which carries out opening of the component field on the left-hand side of space is formed. Then, the source / drain diffusion layer 30a is formed by using this photoresist mask as a mask and introducing p form impurity into gate electrode 26a in which the sidewall insulator layer 28 was formed by self align at high concentration.

[0054] Next, the photoresist mask (not shown) which carries out opening of the component field on the right-hand side of space is formed. Then, the source / drain diffusion layer 30b is formed by using this photoresist mask as a mask and introducing n form impurity into gate electrode 26b in which the sidewall insulator layer 28 was formed by self align at high concentration (refer to drawing 7 (a)).

[0055] Next, the source / drain electrode 32 is formed on the source / drain diffusion layer 30a, and 30b, respectively. In this way, p-MOS transistor 34a and n-MOS transistor 34b are formed, respectively.

[0056] Thus, since the semi-conductor layer which pulls in the channel layer of a CMOS transistor and has distortion is used according to this operation gestalt, high carrier mobility is realizable. And since silicon oxide is formed in the bottom of a semi-conductor layer, capacity between a CMOS transistor and a silicon substrate can be made small. Therefore, according to this operation gestalt, a semiconductor device with a quick working speed can be offered.

[0057] Not only the above-mentioned operation gestalt but various deformation is possible for [deformation implementation gestalt] this invention.

[0058] For example, although the hydrogen ion was poured in into the silicon germanium layer 18 with the above-

mentioned operation gestalt, the field which pours in a hydrogen ion may not be limited into the silicon germanium layer 18, and may be among the silicon layer 14 and a silicon substrate 16.

[0059] Moreover, although silicon oxide 12 was formed in the above-mentioned operation gestalt at temperature lower than the crystal growth temperature of silicon and silicon germanium, silicon oxide 12 may be formed at temperature higher than this crystal growth temperature. In this case, what is necessary is to form the silicon layer 14 thickly beforehand at the process shown in drawing 2 (b), and just to also grind the field which counter diffusion produced at the process shown in drawing 3 (c) in the process which forms silicon oxide 12, although counter diffusion may arise between silicon and silicon germanium.

[0060] Moreover, although the above-mentioned operation gestalt explained the case where the silicon layer 14 which has hauling distortion was used to the example, it is not limited to the silicon layer which has hauling distortion, and the semi-conductor layer which has a lattice strain can be used widely. For example, since it is known that the mobility of an electron hole is high, the silicon germanium layer which has a compressive strain may use the silicon germanium layer which has a compressive strain. The silicon germanium layer which has a compressive strain can be formed on the substrate which consists of the silicon which is a semi-conductor with a lattice constant smaller than silicon germanium, or SiC. For example, if it manufactures at the process shown in drawing 2 (c) thru/or drawing 3 (c), without being able to form the silicon germanium layer which has a compressive strain, and forming the silicon layer 14 after that at the process shown in drawing 2 R> 2 (b), if the silicon germanium layer 18 is formed more thinly than critical thickness, as shown in drawing 8, the laminating semi-conductor substrate with which the silicon germanium layer 36 which has a compressive strain was formed can be manufactured.

[0061] Moreover, with the above-mentioned operation gestalt, although sequential formation of the silicon germanium layer 18 and the silicon layer 14 was carried out silicon substrate top 16 at the process shown in drawing 2 (b), sequential formation of the silicon germanium layer 18 and the SiGeC layer may be carried out on a silicon substrate 16. Thereby, as shown in drawing 9 (a), the laminating semi-conductor substrate with which the SiGeC layer 38 which has hauling distortion was formed can be offered. Moreover, a SiGeC layer may be formed on a silicon substrate 16 at the process shown in drawing 2 (b). Thereby, as shown in drawing 9 (b), the laminating semi-conductor substrate with which the SiGeC layer 40 which has hauling distortion was formed can be offered. Moreover, sequential formation of a silicon germanium layer and the SiC layer may be carried out on a silicon substrate 16 at the process shown in drawing 2 (b). Thereby, as shown in drawing 9 (c), the laminating semi-conductor substrate with which the SiC layer 42 which has hauling distortion was formed can be offered. Moreover, a SiC layer may be formed on a silicon substrate at the process shown in drawing 2 (b). Thereby, as shown in drawing 9 (d), the laminating semi-conductor substrate with which the SiC layer 44 which has hauling distortion was formed can be offered.

[0062] Moreover, with the above-mentioned operation gestalt, although sequential formation of a silicon germanium layer and the silicon layer was carried out on the silicon substrate at the process shown in drawing 2 (b), sequential formation of a SiGeC layer and the silicon germanium layer may be carried out on a silicon substrate. Thereby, as shown in drawing 10 (a), the laminating semi-conductor substrate with which the silicon germanium layer 46 which has a compressive strain was formed can be offered. Moreover, a SiGeC layer and a silicon layer may be formed on a silicon substrate at the process shown in drawing 2 (b). Thereby, as shown in drawing 10 (b), the laminating semi-conductor substrate with which the silicon layer 48 which has a compressive strain was formed can be offered. Moreover, sequential formation of a SiC layer and the silicon germanium layer may be carried out on a silicon substrate at the process shown in drawing 2 (b). Thereby, as shown in drawing 10 (c), the laminating semi-conductor substrate with which the silicon germanium layer 50 which has a compressive strain was formed can be offered. Moreover, a SiC layer and a silicon layer may be formed on a silicon substrate at the process shown in drawing 2 (b). Thereby, as shown in drawing 10 (d), the laminating semi-conductor substrate with which the silicon layer 52 which has a compressive strain was formed can be offered.

[0063]

[Effect of the Invention] Since the silicon germanium layer which carried out grid relaxation is not formed in the bottom of the semi-conductor layer which has a lattice strain according to this invention the above passage, counter diffusion does not arise between a semi-conductor layer, a silicon germanium layer, etc., and a hot process can be borne.

[0064] Moreover, according to this invention, the working speed of a semiconductor device can be improved by applying the semi-conductor layer which has a lattice strain to a channel layer.

[0065] Moreover, since the insulator layer is formed in the bottom of the semi-conductor layer which has a lattice strain according to this invention, the capacity between a semiconductor device and a semi-conductor substrate can be reduced, and improvement in the further working speed can be realized.

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 2] It is the process sectional view (the 1) showing the manufacture approach of the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 3] It is the process sectional view (the 2) showing the manufacture approach of the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 4] It is the graph which shows the relation of the germanium presentation and the critical thickness at the time of forming a silicon germanium layer on a silicon substrate.

[Drawing 5] It is the sectional view showing the CMOS transistor using the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 6] It is the process sectional view (the 1) showing the manufacture approach of the semiconductor device using the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 7] It is the process sectional view (the 2) showing the manufacture approach of the semiconductor device using the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 8] It is the sectional view (the 1) showing the modification of the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 9] It is the sectional view (the 2) showing the modification of the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 10] It is the sectional view (the 3) showing the modification of the laminating semi-conductor substrate by 1 operation gestalt of this invention.

[Description of Notations]

10 -- Silicon substrate

12 -- Silicon oxide

14 -- Silicon layer

16 -- Silicon substrate

18 -- Silicon germanium layer

20 -- Component isolation region

22 a--n form half conductor layer

22 b--p form half conductor layer

24 -- Gate dielectric film

26a, 26b -- Gate electrode

28 -- Sidewall insulator layer

30a, 30b -- The source / drain diffusion layer

32 -- The source / drain electrode

34 a--p-MOS transistor

34 b--n-MOS transistor

36 -- Silicon germanium layer

38 -- SiGeC layer

40 -- SiGeC layer

42 -- SiC layer

44 -- SiC layer

46 -- Silicon germanium layer
48 -- Silicon layer
50 -- Silicon germanium layer
52 -- Silicon layer

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The laminating semi-conductor substrate characterized by having the insulator layer formed on the semi-conductor substrate, and the semi-conductor layer which is formed on said insulator layer and has a lattice strain.

[Claim 2] It is the laminating semi-conductor substrate characterized by said semi-conductor layer consisting of Si, SiGe, SiGeC, or SiC in a laminating semi-conductor substrate according to claim 1.

[Claim 3] The process which forms the semi-conductor layer which has the lattice strain layer in which the lattice strain was introduced into the front-face side at least on the 1st semi-conductor substrate, The process which forms an insulator layer on said semi-conductor layer, and the process which introduces into a field deeper than the interface of said semi-conductor layer and said insulator layer the matter which cuts crystal association, By the process which piles up the 2nd semi-conductor substrate on said insulator layer, and fixes said insulator layer and said 2nd semi-conductor substrate, and heat treatment It has the process which divides the layered product which has said 1st semi-conductor substrate, said semi-conductor layer and said insulator layer, and said 2nd semi-conductor substrate in the field to which the matter which cuts said crystal association was introduced. The manufacture approach of the laminating semi-conductor substrate characterized by manufacturing the laminating semi-conductor substrate with which said distorted latticed layer was formed through said insulator layer on said 2nd semi-conductor substrate.

[Claim 4] The semiconductor device characterized by having the source / drain diffusion layer which was formed on the insulator layer formed on the semi-conductor substrate, and said insulator layer, and was formed in said semi-conductor layer of the both sides of the semi-conductor layer which has a lattice strain, the gate electrode formed through gate dielectric film on said semi-conductor layer, and said gate electrode.

[Translation done.]